

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-077218

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

H01C 13/02

(21)Application number : 10-246781

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 01.09.1998

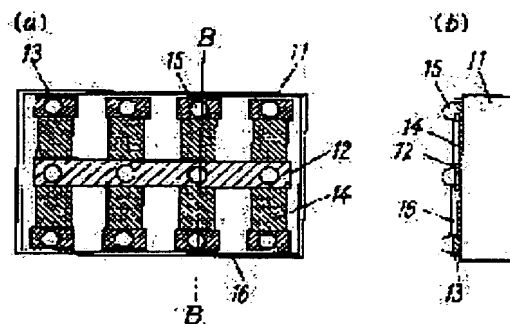
(72)Inventor : KINOSHITA TAJI  
SHIBUYA NAOKI  
HOSHITOKU SEIJI

## (54) RESISTOR NETWORK CHIP

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a resistor network chip for making it difficult for any part or a set into which a resistor network chip is integrated to malfunction, even when it is used in a high frequency circuit.

SOLUTION: This resistor network chip is constituted of a rectangular insulating substrate 11, plural individual electrodes 13 provided at the edge part of the insulating substrate 11, plural resistance elements 14 provided so as to be connected with the individual electrodes 13, a common electrode 12 provided to be electrically connected with the resistance elements 14, and bumps 15 provided in the neighborhood of the both edges of the common electrode 12 and at the other parts. It is desired that the bump electrodes 15 be provided at all junctions of the common electrode 12 and the resistance elements 14.



## LEGAL STATUS

[Date of request for examination]

10.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-77218  
(P2000-77218A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl.<sup>7</sup>  
H 0 1 C 13/02

識別記号

F I  
H 0 1 C 13/02

テーマコード\* (参考)

B

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平10-246781

(22) 出願日 平成10年9月1日 (1998.9.1)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 木下 泰治

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 渋谷 直樹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 星徳 聖治

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 10009/445

弁理士 岩橋 文雄 (外2名)

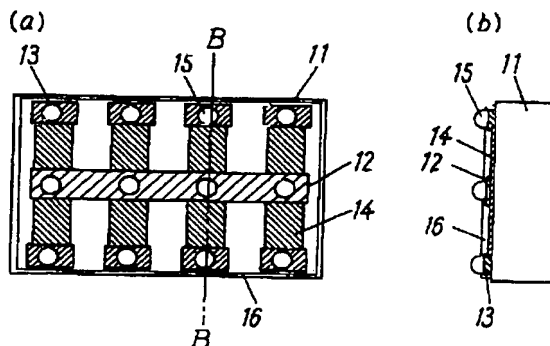
(54) 【発明の名称】 チップ形抵抗ネットワーク

(57) 【要約】

【課題】 高周波回路で使用されてもチップ形抵抗ネットワークを組み込んだ部品やセットなどが誤動作を起こしにくいチップ形抵抗ネットワークを提供することを目的とする。

【解決手段】 矩形形状の絶縁基板11と、この絶縁基板11の端部に設けられた複数の個別電極13と、個別電極13と接合されるように設けられた複数の抵抗素子14と、抵抗素子14と電気的に接合されるように設けられた共通電極12と、共通電極12の両端近傍および両端近傍以外の部分に設けられたバンプ電極15とで構成する。

11 絶縁基板  
12 共通電極  
13 個別電極  
14 抵抗素子  
15 バンプ電極  
16 保護膜



## 【特許請求の範囲】

【請求項1】 矩形状の絶縁基板と、この絶縁基板の端部に設けられた複数の個別電極と、前記個別電極と接合されるように設けられた複数の抵抗素子と、前記抵抗素子と電氣的に接合されるように設けられた共通電極と、この共通電極の両端近傍および両端近傍以外の部分に設けられたバンプ電極とからなるチップ形抵抗ネットワーク。

【請求項2】 バンプ電極を、共通電極と抵抗素子との全ての接合点に設けた請求項1記載のチップ形抵抗ネットワーク。

【請求項3】 矩形状の絶縁基板と、この絶縁基板の両端部にそれぞれ同数設けられた複数の個別電極と、向かい合う2つの個別電極同士をそれぞれ接合するように設けられた複数の抵抗素子と、この全ての抵抗素子を跨ぎ且つ全ての前記抵抗素子と電氣的に接合されるように設けられた共通電極と、前記共通電極と抵抗素子との全ての接合点に設けられたバンプ電極とからなるチップ形抵抗ネットワーク。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、共通電極を有するチップ形抵抗ネットワークに関するものである。

## 【0002】

【従来の技術】従来のこの種のチップ形抵抗ネットワークとしては、特開平5-33517号公報に記載されたものが知られている。

【0003】以下、従来のチップ形抵抗ネットワークについて、図面を参照しながら説明する。

【0004】図4(a)は従来のチップ形抵抗ネットワークの上面図、図4(b)は図4(a)のA-A間における同断面図、図4(c)は同等価回路を示す図である。

【0005】図4(a)、(b)、(c)において、1は矩形状の絶縁基板で、両端部に切り欠き2によって、それぞれの間を隔離されるよう個別電極T1~T10が形成されており、片側にT1~T5、もう片側にはT6~T10が設けられている。さらに、個別電極T1~T10のうち、両端に形成され且つ対角線上に向かい合っているT1およびT6は電圧端子であり、両電極に電圧が印加される。他の個別電極T2~T5およびT7~T10は抵抗端子であり、それぞれ抵抗素子3に接続されている。個別電極T1~T10のうち向かい合う個別電極はそれぞれ電氣的に接続され、共通電極4がこの電氣的に接続された5本を跨ぐように直線状に設けられている。このとき中央の3本については、共通電極4の片側に抵抗素子3が1個ずつ付けられるように跨ぎ、且つ両端の2本については、抵抗素子3と電圧端子の間を跨ぐ。5は保護膜で、少なくとも抵抗素子3全てを覆うように形成されている。なお、個別電極T1~T10はそ

れぞれ表面の少なくともその一部が保護膜5に覆われずに露出している。

【0006】また、チップ形抵抗ネットワークは一般にICとICの間に設けられ、ICとIC間の配線に、電圧端子より入力された電圧を、抵抗素子3を介して印加し、ICとIC間の配線の電圧を引き上げる目的で使用される。

## 【0007】

【発明が解決しようとする課題】以上のように構成された従来のチップ形抵抗ネットワークは、各抵抗素子と共通電極との接続部分から、電圧端子までの共通電極部分の長さにバラツキがある。また、高周波回路で使用する時、一般に電極はその長さに比例したインダクタンス成分を持ち、共通電極部分が長くなる抵抗端子と電圧端子間のインダクタンス成分は、配線部分が短くなる抵抗端子と電圧端子間のインダクタンス成分よりも大きい。従って、従来のチップ形抵抗ネットワークを高周波回路で使用する時、各抵抗端子と電圧端子間のインダクタンス成分を持ち且つばらつくため、高周波信号が変形し、従来のチップ形抵抗ネットワークを組み込んだ部品やセットなどが誤動作を起こしやすいという課題を有していた。

【0008】本発明は、上記従来の課題を解決するもので、高周波回路で使用されてもチップ形抵抗ネットワークを組み込んだ部品やセットなどが誤動作を起こしにくいチップ形抵抗ネットワークを提供することを目的とする。

## 【0009】

【課題を解決するための手段】上記目的を達成するために本発明のチップ形抵抗ネットワークは、矩形状の絶縁基板と、この絶縁基板の端部に設けられた複数の個別電極と、前記個別電極と接合されるように設けられた複数の抵抗素子と、前記抵抗素子と電氣的に接合されるように設けられた共通電極と、この共通電極の両端近傍および両端近傍以外の部分に設けられたバンプ電極とで構成したもので、これにより、個別電極全てが抵抗端子になり、且つ共通電極の両端近傍および両端近傍以外の部分に設けられたバンプ電極が電圧端子になるため、各抵抗端子と電圧端子間の長さおよびそのバラツキが小さくでき、各抵抗端子と電圧端子間のインダクタンス成分およびそのバラツキも小さくできる。従って、各抵抗端子と電圧端子間のインダクタンス成分およびそのバラツキを小さくでき、高周波回路で使用されてもチップ形抵抗ネットワークを組み込んだ部品やセットなどが誤動作を起こしにくいチップ形抵抗ネットワークが得られる。

## 【0010】

【発明の実施の形態】本発明の請求項1に記載の発明は、矩形状の絶縁基板と、この絶縁基板の端部に設けられた複数の個別電極と、前記個別電極と接合されるように設けられた複数の抵抗素子と、前記抵抗素子と電氣的

に接合されるように設けられた共通電極と、この共通電極の両端近傍および両端近傍以外の部分に設けられたバンパ電極とからなるもので、この構成によれば、個別電極全てが抵抗端子になり、且つ共通電極の両端近傍および両端近傍以外の部分に設けられたバンパ電極が電圧端子となるため、共通電極の両端近傍および、これらの間に少なくとももう1つ電圧端子を設けることができる。従って、各抵抗端子と電圧端子間の長さおよびそのバラツキを小さくできるため、各抵抗端子と電圧端子間のインダクタンス成分およびそのバラツキを小さくできるという作用を有するものである。

【0011】さらに、バンパ電極によってこのチップ形抵抗ネットワークが実装基板に面実装されるため側面にはんだを形成しなくて済み、また基板の端部に電圧端子を設けなくて済むため基板端部の個別電極の数が減る。従って、実装面積が小さくなり、高密度実装が可能になるという作用を有するものである。

【0012】請求項2に記載の発明は、バンパ電極を、共通電極と抵抗素子との全ての接合点に設けたもので、この構成によれば、個別電極全てが抵抗端子になり、且つ共通電極と抵抗素子との接合点の全てに設けられたバンパ電極が電圧端子となるため、各抵抗端子と電圧端子間には共通電極が存在しなくなり、これにより各抵抗端子と電圧端子間の長さを最も小さく且つそのバラツキをほぼなくすことができ、各抵抗端子と電圧端子間のインダクタンス成分を最も小さく且つそのバラツキをほぼなくすことができるという作用を有するものである。

【0013】さらに、バンパ電極によってこのチップ形抵抗ネットワークが実装基板に面実装されるため側面にはんだを形成しなくて済み、また基板の端部に電圧端子を設けなくて済むため基板端部の個別電極の数が減る。従って、実装面積が小さくなり、高密度実装が可能になるという作用を有するものである。

【0014】請求項3に記載の発明は、矩形形状の絶縁基板と、この絶縁基板の両端部にそれぞれ同数設けられた複数の個別電極と、向かい合う2つの個別電極同士をそれぞれ接合するように設けられた複数の抵抗素子と、この全ての抵抗素子を跨ぎ且つ全ての前記抵抗素子と電気的に接合されるように設けられた共通電極と、前記共通電極と抵抗素子との全ての接合点に設けられたバンパ電極とからなるもので、この構成によれば、個別電極全てが抵抗端子になり、また抵抗素子が向かい合う2つの個別電極同士をそれぞれ接合されるよう設けられ、且つ共通電極がこの全ての抵抗素子を跨ぐように且つ全ての前記抵抗素子と電気的に接合されるように形成され、また共通電極と抵抗素子との接合点の全てに設けられたバンパ電極が電圧端子となる。これにより各抵抗端子と電圧端子間に共通電極が存在しなくなるため、各抵抗端子と電圧端子間の長さを最も小さく且つそのバラツキをほぼなくすことができ、各抵抗端子と電圧端子間のインダク

タンス成分が最も小さく且つそのバラツキをほぼなくすことができる。また、向かい合う2つの抵抗端子に対して、バンパ電極を1つ設ければ良いことになるため、バンパ電極の数が少なくて済み、生産での歩留まりが良くなるという作用を有するものである。

【0015】さらに、バンパ電極によってこのチップ形抵抗ネットワークが実装基板に面実装されるため側面にはんだを形成しなくて済み、また基板の端部に電圧端子を設けなくて済むため基板端部の個別電極の数が減る。従って、実装面積が小さくなり、高密度実装が可能になるという作用を有するものである。

【0016】(実施の形態1)以下、本発明の実施の形態1について、図面を参照しながら説明する。

【0017】図1(a)は、本発明の実施の形態1におけるチップ形抵抗ネットワークの上面図、図1(b)は図1(a)のB-B間における同断面図である。

【0018】図1において、11は矩形形状の絶縁基板で、アルミナやガラスなどから成る。12は共通電極で、絶縁基板11の上面の中心線に沿って直線状に設けられ、1層目がニッケル、2層目が銅から成る。13は個別電極で、共通電極12が設けられた面の両端部にそれぞれ4個ずつ計8個設けられ、共通電極12と同一材料から成る。この個別電極13全てが抵抗端子となる。14は抵抗素子で、共通電極12が設けられた面があり、向かい合う2つの個別電極13同士をそれぞれ接合するよう形成され、ニッケルクロムや窒化タンタルなどから成る。共通電極12が全ての抵抗素子14をほぼ2等分するように跨ぎ、且つ全ての抵抗素子14と電気的に接合するように設けられている。15はバンパ電極で、共通電極12と抵抗素子14との接合点および個別電極13の全てに設けられ、はんだから成る。共通電極12と抵抗素子14との接合点全てに設けられたバンパ電極15が電圧端子となり、個別電極13の全て、すなわち抵抗端子全てに設けられたバンパ電極15によって、抵抗素子14とICとICの間の配線とが電気的に接合される。16は保護膜で、少なくとも抵抗素子14を覆うよう且つバンパ電極15が設けられている部分はバンパ電極15が露出するように設けられ、紫外線硬化形の熱硬化性樹脂材料から成る。このように保護膜16を設けることで、抵抗素子14の長期信頼性を向上させることができる。

【0019】図2は本発明の実施の形態1におけるチップ形抵抗ネットワークの等価回路を示す図である。このチップ形抵抗ネットワークは、各個別電極13と共通電極12の間に、抵抗素子14を共通電極12によってほぼ2等分して形成された抵抗 $r_1 \sim r_8$ を集積し、共通電極12と抵抗素子14との接合点全てに4個のバンパ電極B1～B4が形成され、さらに個別電極13全てに8個のバンパ電極B5～B12が形成されていることになる。

【0020】上記構成により、各抵抗端子と電圧端子間に共通電極12が存在しなくなるため、各抵抗端子と電圧端子間の長さを最も小さく且つそのバラツキをほぼなくすことができ、各抵抗端子と電圧端子間のインダクタンス成分を最も小さく且つそのバラツキをほぼなくすことができる。また、向かい合う2つの抵抗端子に対して、バンパ電極15を1つ設ければよいことになるため、バンパ電極15の数が少なく済み、生産での歩留まりが良くなる。従って高周波回路で使用されてもチップ形抵抗ネットワークを組み込んだ部品やセットなどが誤動作を起こしにくく、また生産での歩留まりが良くなるという効果が得られる。

【0021】さらに、バンパ電極15によってこのチップ形抵抗ネットワークが実装基板に面実装されるため、側面にはんだを形成しなくて済み、また基板の端部に電圧端子を設けなくて済むため、従来のチップ形抵抗ネットワークに対して基板端部の個別電極13の数が10個から8個に減る。従って、実装面積が小さくなり、高密度実装が可能となる効果も得られる。

【0022】以上のように構成された本発明の実施の形態1におけるチップ形抵抗ネットワークについて、以下にその製造方法を図面を参照しながら説明する。

【0023】図3は本発明の実施の形態1におけるチップ形抵抗ネットワークの製造方法を示す工程図である。

【0024】まず、図3(a)に示すように、絶縁基板11上にニッケルクロムをスパッタリングにより着膜し、フォトリソグラフィ工法によってパターン形成して抵抗素子14を形成する。

【0025】次に、図3(b)に示すように、ニッケルと銅をスパッタリングにより着膜し、フォトリソグラフィ工法によってパターン形成して、共通電極12と個別電極13を同時に形成する。

【0026】次に、図3(c)に示すように、スピコートにより全面着膜してフォトリソグラフィ工法によってパターン形成して、バンパ電極15を形成する位置に開口部17を持つ保護膜16を形成する。

【0027】最後に、図3(d)に示すように、はんだペーストをスクリーン印刷により絶縁基板11上に供給し、リフローすることでバンパ電極15を形成して、本発明のチップ形抵抗ネットワークを形成するものである。

【0028】なお、上記の説明では、共通電極12、個別電極13をニッケル／銅の2層で構成した例で説明したが、クロム／銅、銀等の他の低抵抗材料で構成しても良く、その製造方法についても説明したフォトリソグラフィ工法以外の方法、例えばスクリーン印刷法や、開口部を設けたメタルマスクを用いスパッタリングにより所定部のみ着膜しても良い。

【0029】また、抵抗素子14をニッケルクロムで構成した例で説明したが、酸化ルテニウム、タングステン

等の材料で構成しても良く、その製造方法についても説明したフォトリソグラフィ工法以外の方法、例えばスクリーン印刷法や、開口部を設けたメタルマスクを用いスパッタリングにより所定部のみ着膜しても良い。

【0030】また、バンパ電極15をはんだで構成した例で説明したが、他の低融点金属や導電性樹脂で構成しても良く、その製造方法についても説明したスクリーン印刷以外の方法、例えばめっきやはんだボール移載法で行っても良い。

【0031】また、保護膜(絶縁層)16を紫外線硬化性の熱硬化性樹脂で構成した例で説明したが、熱硬化性樹脂やガラス等のバンパ電極15の材料に濡れない材料で構成すれば良く、その製造方法についても説明したフォトリソグラフィ工法以外の方法、例えばスクリーン印刷法や、開口部を設けたメタルマスクを用いスパッタリングにより所定部のみ着膜しても良い。

【0032】なお、上記構成以外に、向かい合う2つの個別電極13同士間に抵抗素子14だけでなく共通電極12も存在するよう構成するか、個別電極13を絶縁基板11の両端ではなく片側に設け、且つ共通電極12と抵抗素子14の接合点全てにバンパ電極15を設けても、上記と同じ理由によって、高周波回路で使用されてもチップ形抵抗ネットワークを組み込んだ部品やセットなどが誤動作を起こさず、高密度実装が可能となる効果も得られる。

【0033】また、共通電極12に設けられるバンパ電極15の位置を、共通電極12の両端近傍の2カ所およびその中間に設けても、各抵抗端子と電圧端子間の長さ且つそのバラツキを小さくできるため、各抵抗端子と電圧端子間のインダクタンス成分且つそのバラツキを小さくでき、高周波回路で使用されてもチップ形抵抗ネットワークを組み込んだ部品やセットなどが誤動作を起こしにくいという効果が得られる。さらに、バンパ電極15によってこのチップ形抵抗ネットワークが実装基板に面実装されるため、側面にはんだを形成しなくて済み、また基板の端部に電圧端子を設けなくて済むため個別電極13の数が減る。従って、実装面積が小さくなり、高密度実装が可能となる効果も得られる。

【0034】また、個別電極13にバンパ電極15を設けるとしたが、バンパ電極15以外で個別電極13を実装基板に取り付けても、各個別電極13(抵抗端子)と電圧端子間の長さに影響はないので、同じ効果が得られる。

【0035】

【発明の効果】以上のように本発明によれば、矩形状の絶縁基板と、この絶縁基板の端部に設けられた複数の個別電極と、前記個別電極と接合されるように設けられた複数の抵抗素子と、前記抵抗素子と電氣的に接合されるように設けられた共通電極と、この共通電極の両端近傍および両端近傍以外の部分に設けられたバンパ電極とか

らなるもので、この構成によれば、個別電極全てが抵抗端子になり、且つ共通電極の両端近傍および両端近傍以外の部分に設けられたバンプ電極が電圧端子となるため、共通電極の両端近傍および、これらの間に少なくとももう1つ電圧端子を設けることができる。従って各個別電極と電圧端子間の長さおよびそのバラツキを小さくできるため、各抵抗端子と電圧端子間のインダクタンス成分およびそのバラツキを小さくでき、高周波回路で使用されてもチップ形抵抗ネットワークを組み込んだ部品やセットなどが誤動作を起こしにくい。さらに、バンプ電極によってこのチップ形抵抗ネットワークが実装基板に面実装されるため側面にはんだを形成しなくて済み、また基板の端部に電圧端子を設けなくて済むため個別電極の数が減り、これにより実装面積が小さくなるため、高密度実装が可能になるチップ形抵抗ネットワークが得られるという有利な効果が得られる。

【図面の簡単な説明】

【図1】(a) 本発明の実施の形態1におけるチップ形

抵抗ネットワークの上面図

(b) 同B-B間における断面図

【図2】本発明の実施の形態1におけるチップ形抵抗ネットワークの等価回路を示す図

【図3】本発明の実施の形態1におけるチップ形抵抗ネットワークの製造方法を示す工程図

【図4】(a) 従来のチップ形抵抗ネットワークの上面図

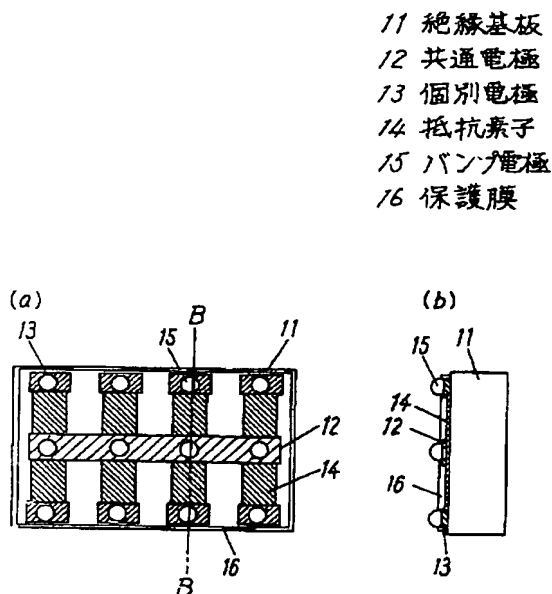
(b) 同A-A間における断面図

(c) 同等価回路を示す図

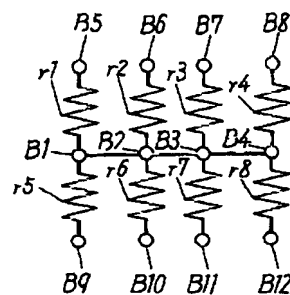
【符号の説明】

- 11 絶縁基板
- 12 共通電極
- 13 個別電極
- 14 抵抗素子
- 15 バンプ電極
- 16 保護膜

【図1】

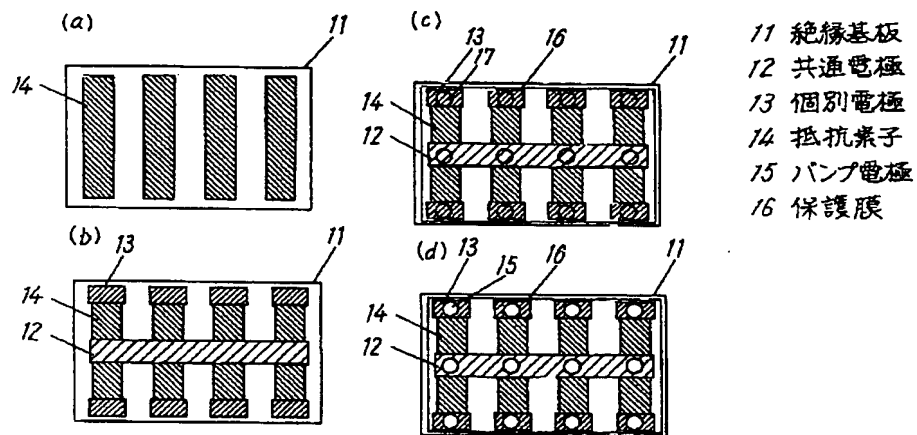


【図2】



(6) 開2000-77218 (P2000-77218A)

【図3】



【図4】

